



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58046454 A**(43) Date of publication of application: **17.03.83**

(51) Int. Cl

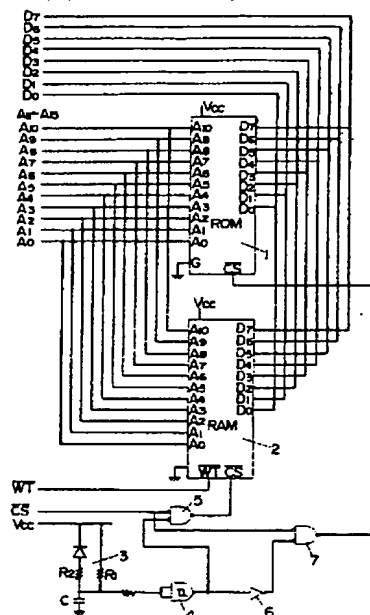
G06F 13/00
G06F 9/06
(21) Application number: **56144905**(22) Date of filing: **14.09.81**(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**(72) Inventor: **SUZAKI SATORU**(54) **MEMORY SWITCHING CIRCUIT**

COPYRIGHT: (C)1983,JPO&Japio

(57) Abstract:

PURPOSE: To utilize address space effectively, by automatically disconnecting a starting ROM from a CPU after a specified time from the power source is turned on, and thus switching it to another RAM or ROM.

CONSTITUTION: A chip selection terminal CS' is provided to an ROM1 and an ROM2. The memory operates only when the terminal CS' has a level L. The RAM2 is provided with a write signal terminal WT' which has the level L during writing operation. When a Vcc goes up to a level H, the output of a Schmitt buffer 4 in a timer circuit 3 goes down to L through the charging of a capacitor C a certain time after the power source is turned on to select the chip of the RAM2, stopping a signal CS' to the ROM1. The output of the buffer 4 is at H right after the power source is turned on and the chip of the RAM2 is not selected while the chip of the ROM1 is selected. Further, the ROM1 is selected right after the power source is turned on and when the circuit 3 operates a certain time later, the RAM2 is selected and the ROM1 is disconnected.



BEST AVAILABLE COPY

JAPANESE PATENT APPLICATION LAID-OPEN NO. 58-46454

(Partial Translation of Relevant Part)

[Claim 1]

A memory switching circuit comprising:

a starting ROM connecting to a CPU which reads and performs a command from an address 0 of a memory when power is turned on, and being written a starting program from the address 0,

another memory placed on the same address space as the starting ROM,

a timer circuit outputting an inverse output after a lapse of predetermined time when the power is turned on, and

a switching circuit operating with the output of the timer circuit, outputting a chip select signal to the starting ROM when the power is turned on, and outputting the chip select signal to said another memory when the output of the timer circuit is reversed.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—46454

⑪ Int. Cl.³
G 06 F 13/00
9/06

識別記号

庁内整理番号
7361—5B
6745—5B

⑬ 公開 昭和58年(1983)3月17日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ メモリー切換回路

門真市大字門真1048番地松下電
工株式会社内

⑮ 特 願 昭56—144905

⑯ 出 願 人 松下電工株式会社

⑰ 出 願 昭56(1981)9月14日

門真市大字門真1048番地

⑱ 発 明 者 須崎悟

⑲ 代 理 人 弁理士 石田長七

明 細 書

1. 発明の名称

メモリー切換回路

2. 特許請求の範囲

(1) 電源投入時にメモリーの0番地から命令を読み出して実行を開始するCPUに接続され、始動用のプログラムを0番地から書き込まれた始動用のROMと、この始動用のROMと同一アドレス空間内に配置された他のメモリと、電源投入後所定の時間経過後に出力が反転するタイマー回路と、タイマー回路の出力によつて動作し、電源投入時には始動用のROMにチップセレクト信号を送出し、タイマー回路の出力反転時には上記他のメモリにチップセレクト信号を送出する切換回路を設けて成ることを特徴とするメモリー切換回路。

3. 発明の詳細な説明

本発明はCPUに接続されるメモリーを電源投入後一定時間後に切り換え得るようにしたメモ

リー切換回路に関するものである。

最近各種産業分野において使用されているCPUのうち、例えばインテル社の8080や8085などは、電源投入時にメモリーの0番地から実行を開始するようになつている。そのためメモリーの0番地から少くとも数バイトは電源を切つても記憶内容の消えないROMであることが必要とされる。しかるにROMの記憶容量は1チップ当り、小さいもので2Kバイト程度、大きいもので8Kバイト程度があるので、仮に2KバイトのROMを用いたとしても、16進数で\$0000番地から\$07FF番地までのアドレス空間は始動用のROM(いわゆるブートROM)が専有することになり、記憶内容を目由に変更できるRAMや始動用のプログラム以外のプログラムを記憶したROMはそれ以降のアドレスに配置する必要があつた。しかるに上述のような始動用のROMは電源投入時一回だけしか使用しないので、このような使用頻度の少ないメモリーに大きなアドレス空間を専有されることは願ふ不都合であるという問

題があつた。

本発明は従来例のこのような問題点を解決するためになされたものであり、電源投入後一定時間を経過した後には始動用のROMを自動的にCPUから切り離して他のRAMまたはROMに切り換え得るようにしたメモリー切換回路を提供することを目的とするものである。

以下本発明の構成を図示実施例について説明する。第1図は本発明の一実施例の回路図を示すものであり、同図において(1)は始動用のROM(いわゆるブートROM)であり、(2)はデータの読み込みおよび書き込みを自由に行ない得るRAMである。これらのROM(1)およびRAM(2)は8ビットのデータ出力端子と、11ビットのアドレス端子とを有しており、8ビットのデータ出力端子はCPUの8本のデータバス $D_0 \sim D_7$ に接続されており、また11ビットのアドレス端子はCPUの16本のアドレスバス $A_0 \sim A_{15}$ のうちの、 $A_0 \sim A_{10}$ に接続されている。ところでこれらのデータバス $D_0 \sim D_7$ やアドレスバス $A_0 \sim A_{15}$ にROM(1)やRAM

(3)

てNANDゲート(7)が開くのでROM(1)の方がチップセレクトされるものである。したがって電源投入直後の状態においては始動用のROM(1)が選択され、また電源投入後しばらく時間が経つてタイマ回路(3)が作動すると、RAM(2)が選択されて始動用のROM(1)は切り離されるものである。なお R_2 は電源オフ時にコンデンサCの電荷放電速度を速めるための抵抗である。次に第2図は上述のメモリー切換動作を示すメモリーマップであり、電源を投入すると、CPUはメモリーの0番地からデータを読み込んで実行を開始するから、始動用のROM(1)をメモリの0番地からのアドレスに配置しておけば自動的に始動動作が行なわれ、ROM(1)は自己の記憶内容のうち必要な部分を適宜他のRAM(2a)にブロック転送し、このRAM(2a)内の特定のアドレスにジャンプしてRAM(2a)の記憶内容に応じてCPUを動作せしめるものである。このようにデータのブロック転送を行ないたくない場合には始動用ROM(1)の他に常時CPUに接続されている他のRAM(2a)の代わ

(5)

(3)のようなメモリーが二以上同時に接続されるとデータの混乱が生じるので、ROM(1)およびRAM(2)にはそれぞれチップセレクト端子 \overline{CS} が設けられており、このチップセレクト端子 \overline{CS} がLレベルのときのみメモリーが作動するようになっている。またRAM(2)には、データの書き込みを行なうときにLレベルとなるライト信号端子 \overline{WT} が設けられているものである。(3)は電源投入時に作動するタイマ回路であり、電源電圧 V_{CC} がHレベルとなると、抵抗 R_1 を介してコンデンサCが充電され、その端子電圧が上昇する。これによつて電源投入後暫時経過後にシュミットバッファ(4)の出力がLレベルとなり、NANDゲート(5)が開いてRAM(2)がチップセレクトされると共に、インバータ(6)を介してNANDゲート(7)が閉じられてROM(1)へのチップセレクト信号の送出が阻止される。一方電源投入直後の状態においては、シュミットバッファ(4)の出力はHレベルとなつているから、NANDゲート(5)が閉じられてRAM(2)はチップセレクトされず、またインバータ(6)を介し

(4)

りに設けておくようにすればよい。しかしてタイマ回路(3)の遅延時間を以上の動作を終了するのに要する時間よりも長く設定しておくと、タイマ回路(3)の出力によりROM(1)がRAM(2)に切り換えられて、メモリーのアドレス空間を有効に使用することができるようになつていゝものである。なおRAM(2)の代わりに、始動用のROM(1)とは異なるプログラムまたはデータを記憶せしめた他のROMを切り換え接続するように構成すれば、始動用ROM(1)のアドレス空間内に機能の異なるROMを配置することが可能となるものである。さらにまた本発明を実施するに際しては上述のような回路全体を1個のIC内に組み込むようにしてもかまわないものである。

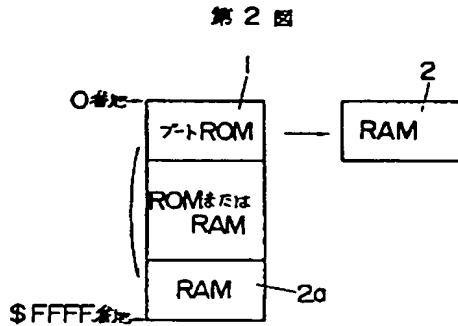
本発明は以上のように構成されており、始動用のプログラムを書き込まれた始動用のROMと、この始動用のROMと同一アドレス空間内に記憶された他のメモリーとを、電源投入後所定の時間経過後に出力が反転するタイマ回路の出力によつてチップセレクトするように構成したものである。

(6)

特許庁長官 殿

進

1. 事件の表示
昭和 5 6 年 特 許 願 第 1 4 4 9 0 5 号
2. 発 明 の 名 称
メモリー 切 換 回 路
3. 補正をする者
事件との関係 特 許 出 願 人
住 所 大阪府門真市大字門真1048番地
名 称 (583) 松 下 電 工 株 式 会 社
代 表 者 神 前 善 一
4. 代 理 人
郵便番号 5 3 0
住 所 大阪市北区梅田1丁目12番17号(梅田ビル5階)
氏 名 (6176) 弁 理 士 石 田 長 七
電 話 大 阪 (06) 3 4 5 - 7 7 7 7 (代表)
5. 補正命令の日付
自 発
6. 補正により増加する発明の数
な し
7. 補正の対象
明 細 書
8. 補正の内容
別 紙 の 通 り



訂 正 書

出願番号 特願昭 5 6 - 1 4 4 9 0 5 号

1. 本願の特許請求の範囲を次のように訂正致します。

「(ii) 電源投入時にメモリーの特定のアドレスから命令を読み出して実行を開始するCPUに接続され、始動用のプログラムを上記特定のアドレスから書き込まれた始動用のROMと、この始動用のROMと同一アドレス空間内に配置された他のメモリーと、電源投入後所定の時間経過後に出力が反転するタイマー回路と、タイマー回路の出力によつて動作し、電源投入時には始動用のROMにチップセレクト信号を送出し、タイマー回路の出力反転時には上記他のメモリーにチップセレクト信号を送出する切換回路を設けて成ることを特徴とするメモリー切換回路。」

代理人 弁理士 石 田 長 七